

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年11月22日 (22.11.2001)

PCT

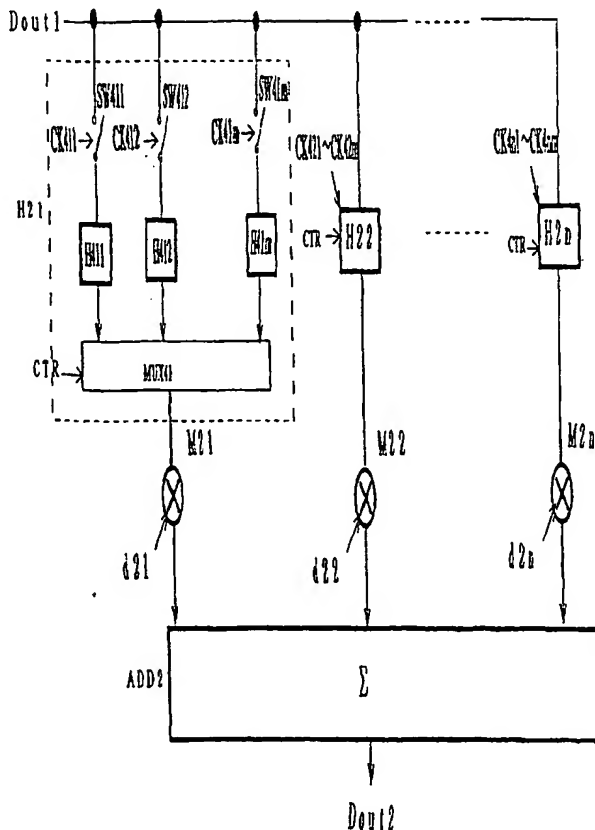
(10) 国際公開番号
WO 01/89085 A1

- (51) 国際特許分類⁷: H03H 17/00, H04J 13/00, G06F 17/10
- (21) 国際出願番号: PCT/JP01/04032
- (22) 国際出願日: 2001年5月15日 (15.05.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-143925 2000年5月16日 (16.05.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 鹿山 (YOZAN INC.) [JP/JP]; 〒155-0031 東京都世田谷区北沢三丁目5番18号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木邦彦 (SUZUKI, Kunihiro) [JP/JP]. 周 長明 (ZHOU, Changming) [CN/JP]; 〒155-0031 東京都世田谷区北沢三丁目5番18号 株式会社 鹿山内 Tokyo (JP).
- (74) 代理人: 平木祐輔, 外 (HIRAKI, Yusuke et al.); 〒105-0001 東京都港区虎ノ門一丁目17番1号 虎ノ門5森ビル3階 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL,

[続葉有]

(54) Title: MATCHED FILTER

(54) 発明の名称: マッチドフィルタ回路



(57) Abstract: A small-sized and power-saving matched filter circuit is provided. A succeeding stage of a matched filter includes a group of n hold circuits ($H21, H22, \dots, H2n$) to which the output signals ($Dout1$) from a preceding stage are coupled in parallel. The outputs of the hold circuits ($H21 - H2n$) are connected to multiplier circuits ($M21, M22, \dots, M2n$), respectively. The multiplier circuits multiply the outputs from the hold circuits ($H21 - H2m$) by multipliers ($d21, d22, \dots, d2m$). The outputs from the multiplier circuits ($M21 - M2n$) are supplied to a summing circuit ($ADD2$) to provide the sum ($Dout2$) (correlation output).

[続葉有]

WO 01/89085 A1



PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ,
UA, UG, US, UZ, VN, YU, ZA, ZW.

添付公開書類:
— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

小規模かつ省電力のマッチドフィルタ回路を提供する。マッチドフィルタの後段部は前段部の出力信号 $Dout1(i)$ が並列に接続された n 個のホールド回路群 $H21$ 、 $H22$ 、 \dots 、 $H2n$ を有し、各ホールド回路群 $H21 \sim H2n$ の出力は乗算回路 $M21$ 、 $M22$ 、 \dots 、 $M2n$ にそれぞれ接続されている。これら乗算回路において、ホールド回路群 $H21 \sim H2m$ の出力に乗数 $d21$ 、 $d22$ 、 \dots 、 $d2m$ が乗ぜられる。乗算回路 $M21 \sim M2n$ の出力は加算回路 $ADD2$ に入力され、その総和 $Dout2$ (相関出力) が算出される。

明 細 書

マッチドフィルタ回路

5 技術分野

本発明はマッチドフィルタ回路に係り、特に広帯域符号分割多重アクセス（W－C D M A）通信方式の初期セルサーチに好適なマッチドフィルタ回路に関する。

10 背景技術

近年移動体通信の分野で注目を集めている広帯域符号分割多重アクセス（W－C D M A）通信方式は、初期セルサーチ等の逆拡散処理のためにマッチドフィルタ回路を使用する。マッチドフィルタ回路は大容量データに対する高速積和演算を行うため、一般に回路規模が大となり、多くの電力を消費する。これは移動体通信の携帯端末では致命的な問題となる。

この問題を解決するために、スウェーデンのストックホルムで1998年10月14日～16日に開催された「T D o c S M G 2 U M T S L 1 4 2 7 / 9 8 : E T S I S T C S M G 2 U M T S L a y e r 1 E x p e r t G r o u p」の会合において、シーメンス社は「A
20 N e w c o r r e l a t i o n s e q u e n c e f o r t h e P r i m a r y S y n c h r o n i s a t i o n C o d e w i t h g o o d c o r r e l a t i o n p r o p e r t i e s a n d l o w d e t e c t o r c o m p l e x i t y」を発表し、「階層的相関シーケンスの高速相関（F a s t c o r r e l a t i o n o f h
25 i e r a r c h i c a l c o r r e l a t i o n s e q u e n c e）」を提案している。これはマッチドフィルタ回路の小規模化の可能性を示唆する。

シーケンス 1 : X 1	+	-	-	+
シーケンス 2 : X 2	++-+	++-+	++-+	++-+
シーケンス 1 × シーケンス 2 : S (i)	++-+	--+-	--+-	++-+

表 1

例えば表 1 に示す周期 $m \times n$ シーケンス $S(i)$ はシーケンス X_1 (周期 n)、 X_2 (周期 m) の乗算によって生成することができ、シーケンス $S(i)$ を拡散符号とする相関演算は式 (1) のように表現され、式 (2)、(3) に示すように、2 つの相関演算の積に置き換えることができる。なお式 (1) ~ (3) において、 $P(k)$ は相関出力、 $r(i+k)$ は受信信号、 $P_s(k')$ は部分相関である。

10

$$P(k) = \sum_{i=0}^{m \times n - 1} S(i) \times r(i+k) = \sum_{i=0}^{m \times n - 1} X_2(i \bmod m) \times X_1(i \operatorname{div} m) \times r(i+k) \quad \text{式 (1)}$$

$$= \sum_{i=0}^{n-1} X_1(i) \times \left(\sum_{j=0}^{m-1} X_2(j) \times r(i \times n + j + k) \right) = \sum_{i=0}^{n-1} X_1(i) \times P_s(i \times m + k) \quad \text{式 (2)}$$

$$P_s(k') = \sum_{j=0}^m X_2(j) \times r(j+k') \quad \text{式 (3)}$$

しかしながら従来「階層的相関シーケンスの高速相関」を実現するマッチドフィルタ回路は存在しなかった。

15

発明の開示

本発明はこのような従来の問題点を解消すべく創案されたもので、「階層的相関シーケンスの高速相関」に基づき小規模、省電力のマッチドフィルタ回路を提供することを目的とする。

本発明は、受信信号が並列に接続され m （ m は2以上の自然数）個の受信信号を順次出力する m 個のスイッチと、該スイッチの出力に接続され該スイッチの出力を保持するホールド回路と、該ホールド回路の出力に長さ m 個で循環的に供給される第1シーケンスの各値を乗じる乗算器と、該乗算器の出力を加算する加算器とを有する第1積和演算器と、第1積和演算器の出力と長さ n 個（ n は2以上の自然数）の第2シーケンスとを積和演算する第2積和演算器とを備える。

また、受信信号と長さ m 個（ m は2以上の自然数）の第1シーケンスとを積和演算する第1積和演算器と、各々が第1積和演算器の出力を順次保持して全体として n （ n は2以上の自然数）個出力する n 個のホールド回路群と、該ホールド回路群の出力に長さ n 個で循環的に供給される第2シーケンスの各値を乗じる乗算器と、該乗算器の出力を加算する加算器とを有する第2積和演算器とを備える。これらによって階層的相関シーケンスに基づき、小規模かつ省電力となる。

また、前記各ホールド回路群は、第1積和演算器の連続する m 個の出力を順次保持することで、簡単な構成で積和演算の結果に対する積和演算を行うことができる。

また、前記各ホールド回路群は、第1積和演算器の出力が並列に接続され m 個の該出力を連続的に順次出力する m 個のスイッチと、該スイッチの出力に接続され該スイッチの出力を保持するホールド回路と、該ホールド回路の出力のいずれか1個を選択的に出力するマルチプレクサとを有することで、簡単な構成でホールド回路群を構成することができる。

また、前記ホールド回路は、レジスタ回路またはメモリ回路であることで、簡単な構成でホールド回路を構成することができる。

また、前記各ホールド回路群は、メモリ回路であり、各メモリ回路の読

み出しと書き込みについては、 $m \times n$ の周期の中で、 m の期間は読み出しと書き込みを交互に行い、それ以外の $m \times (n - 1)$ の期間では読み出しのみを行うことで、メモリ回路の動作タイミングを適正に制御することができる。

5

本明細書は本願の優先権の基礎である特許願 2 0 0 0 - 1 4 3 9 2 5 号の明細書および/または図面に記載される内容を包含する。

図面の簡単な説明

10 図 1 は、本発明に係るマッチドフィルタ回路の第 1 実施形態における前段部を示すブロック図である。

図 2 は、図 1 のホールド回路のクロック信号を生成するシフトレジスタを示すブロック図である。

15 図 3 は、図 1 の乗算回路の乗数を生成するシフトレジスタを示すブロック図である。

図 4 は、本発明に係るマッチドフィルタ回路の第 1 実施形態における後段部を示すブロック図である。

図 5 は、図 4 のホールド回路のクロック信号を生成するシフトレジスタを示すブロック図である。

20 図 6 は、図 4 の乗算回路の乗数を生成するシフトレジスタを示すブロック図である。

図 7 は、図 2、図 3、図 5、図 6 のシフトレジスタのクロックを示すタイミング図である。

図 8 は、図 1 のホールド回路のクロックを示すタイミング図である。

25 図 9 は、図 4 におけるホールド回路のクロックを示すタイミング図である。

図 10 は、図 4 におけるマルチプレクサのコントロール信号を示すタイミング図である。

図 1 1 は、図 1 における乗算回路の乗数を示すタイミング図である。

図 1 2 は、図 4 における乗算回路の乗数を示すタイミング図である。

図 1 3 は、本発明に係るマッチドフィルタ回路の第 2 実施形態における後段部のブロック図である。

5 図 1 4 は、図 1 3 の後段部のタイミング図である。

符号の説明

SW 1 1 ~ SW 1 m、SW 4 1 1 ~ SW 4 n m スイッチ

H 1 1 ~ H 1 m、H 4 1 1 ~ H 4 n m ホールド回路

H 2 1 ~ H 2 n ホールド回路群

10 M 1 1 ~ M 1 m、M 2 1 ~ M 2 n、MUL 1 3、MUL 1 5 乗算回路

ADD 1、ADD 2 加算回路

d 1 1 ~ d 1 m、d 2 1 ~ d 2 n 乗数

MEM 1 メモリ

15 発明を実施するための最良の形態

次に本発明に係るマッチドフィルタ回路の実施形態を図面に基づいて説明する。図 1 ~ 図 1 2 は第 1 実施形態に関するものであり、図 1 3、図 1 4 は第 2 実施形態に関するものである。

〔第 1 実施形態〕

20 図 1 は第 1 実施形態におけるマッチドフィルタ回路の前段部を示すブロック図、図 2 は図 1 のホールド回路のクロック信号を生成するシフトレジスタを示すブロック図、図 3 は図 1 の乗算回路の乗数を生成するシフトレジスタを示すブロック図、図 4 はマッチドフィルタ回路の後段部を示すブロック図、図 5 は図 4 のホールド回路のクロック信号を生成するシフトレジスタを示すブロック図、図 6 は図 4 の乗算回路の乗数を生成するシフトレジスタを示すブロック図、図 7 は図 2、図 3、図 5、図 6 のシフトレジスタのクロックを示すタイミング図、図 8 は図 1 のホールド回路のクロックを示すタイミング図、図 9 は図 4 におけるホールド回路のクロックを示す

25

すタイミング図、図10は図4におけるマルチプレクサのコントロール信号を示すタイミング図、図11は図1における乗算回路の乗数を示すタイミング図、図12は図4における乗算回路の乗数を示すタイミング図である。

- 5 第1実施形態のマッチドフィルタ回路は、2階層の階層的相関シーケンスに対応して、前段部（図1）と後段部（図4）よりなる。

前段部は受信信号 D_{in1} が並列に接続され第1階層のシーケンス長（ m 個のコード）に対応した m 個のスイッチ SW_{11} 、 SW_{12} 、 \dots 、 SW_{1m} と、これらスイッチの出力がそれぞれ接続されたホールド回路 H_{11} 、 H_{12} 、 \dots 、 H_{1m} とを有する。各ホールド回路 $H_{11} \sim H_{1m}$ の出力には乗算回路 M_{11} 、 M_{12} 、 \dots 、 M_{1m} がそれぞれ接続され、これら乗算回路において、ホールド回路 $H_{11} \sim H_{1m}$ の出力に乗数 d_{11} 、 d_{12} 、 \dots 、 d_{1m} が乗ぜられる。乗算回路 $M_{11} \sim M_{1m}$ の出力は加算回路 ADD_1 に入力され、その総和 D_{out1} （相関出力）が算出される。

スイッチ $SW_{11} \sim SW_{1m}$ はクロック信号 CK_{11} 、 CK_{12} 、 \dots 、 CK_{1m} によって循環的に順次閉成され、これにともなってホールド回路 $H_{11} \sim H_{1m}$ は受信信号 D_{in1} を循環的に順次取り込む。乗数 $d_{11} \sim d_{1m}$ はスイッチ $SW_{11} \sim SW_{1m}$ の開閉に同期して循環し、これによって経時的受信信号に対する一定乗数（拡散符号）の相関演算が実行される（図11参照）。

受信信号 D_{in1} のホールド回路 $H_{11} \sim H_{1m}$ への取り込みは離散的であり、一般的に i 番目の受信信号を $D_{in1}(i)$ と表現すると、乗数 $d_{11} \sim d_{1m}$ は i について m を周期とする関数となる。従って、 i 番目の相関出力 D_{out1} を $D_{out1}(i)$ とすると、前段における相関出力は式（4）のように表現される。

$$Dout1(i) = \sum_{j=1}^m Din1(j+i) \times d1(j) \quad \text{式 (4)}$$

これは式 (3) の部分相関 P_s に対応する。

図 2 において、クロック信号 $CK11 \sim CK1m$ は m 段シフトレジスタ $SFR1$ によって生成され、その出力は入力に帰還されている。シフトレジスタの各段 $S11$ 、 $S12$ 、 \dots 、 $S1m$ のデータがクロック信号 $CK11$ 、 $CK12$ 、 \dots 、 $CK1m$ であり、いずれか 1 段にスイッチ $SW11 \sim SW1m$ を閉成する信号、例えば「1」が格納され、他の段には開放する信号、例えば「0」が格納されている。閉成信号「1」はシフトレジスタ $SFR1$ を循環し、スイッチ $SW11 \sim SW1m$ を循環的に順次閉成する。シフトレジスタ $SFR1$ にはクロック信号 $CK2$ が入力され、シフトレジスタ $SFR1$ の信号はこのクロック信号 $CK2$ に同期して循環シフトする。

図 8 はクロック信号 $CK11 \sim CK1m$ のタイミング図であり、 $CK11$ 、 $CK12$ 、 \dots 、 $CK1m$ が順次閉成信号となり（高レベル「1」）、それを循環的に繰り返す。

図 3 において、乗数 $d11 \sim d1m$ は m 段シフトレジスタ $SFR2$ によって生成され、その出力は入力に帰還されている。シフトレジスタの各段 $S21$ 、 $S22$ 、 \dots 、 $S2m$ のデータが乗数 $d11$ 、 $d12$ 、 \dots 、 $d1m$ である。シフトレジスタ $SFR2$ にはクロック信号 $CK3$ が入力され、シフトレジスタ $SFR2$ の各データはこのクロック信号 $CK3$ に同期して循環シフトする。相関演算の前に該シフトレジスタの各段に第 1 階層のシーケンスの各コードをセットしておく必要がある。

図 4 において、マッチドフィルタ回路の後段部は前段部の出力信号 $Dout1$ が並列に接続され、第 2 階層のシーケンス長（ n 個のコード）に対

5 応した n 個のホールド回路群 H_{21} 、 H_{22} 、 \dots 、 H_{2n} を有し、各
 ホールド回路群 $H_{21} \sim H_{2n}$ の出力は乗算回路 M_{21} 、 M_{22} 、 \dots 、
 M_{2n} にそれぞれ接続されている。これら乗算回路 M_{21} 、 M_{22} 、 \dots 、 M_{2n} において、ホールド回路群 $H_{21} \sim H_{2m}$ の出力に乗
 数 d_{21} 、 d_{22} 、 \dots 、 d_{2n} が乗ぜられる。乗算回路 $M_{21} \sim M_{2n}$
 の出力は加算回路 ADD_2 に入力され、その総和 $Dout_2$ (相関出
 力) が算出される。

10 各ホールド回路群 $H_{21} \sim H_{2n}$ はそれぞれ m 個のホールド回路を有し、
 ホールド回路群 H_{21} を例にとると、ホールド回路 H_{411} 、 H_{412} 、
 H_{41m} の入力側にスイッチ SW_{411} 、 SW_{412} 、 \dots 、 SW_{41m}
 をそれぞれ接続し、これらスイッチ $SW_{411} \sim SW_{41m}$ に $Dout_1$
 を並列に接続している。ホールド回路 $H_{411} \sim H_{41m}$ の出力はマル
 チプレクサ MUX_{41} に入力され、いずれか 1 個のホールド回路 H_{411}
 $\sim H_{41m}$ の出力が選択される。スイッチ $SW_{411} \sim SW_{41m}$ はクロ
 ック信号 CK_{411} 、 CK_{412} 、 \dots 、 CK_{41m} によって順次閉成
 15 される。同様にホールド回路群 $H_{22} \sim H_{2n}$ もそれぞれ m 個のホールド
 回路および m 個のスイッチを有し、これらスイッチはクロック信号 $CK_{421} \sim CK_{42m}$ 、 $CK_{431} \sim CK_{43m}$ 、 \dots 、 $CK_{4n1} \sim CK_{4nm}$
 によって順次閉成される。スイッチの閉成は、ホールド回路群 H_{21}
 20 の各スイッチ $SW_{411} \sim SW_{41m}$ を順次閉成した後、ホールド回路
 群 H_{22} の各スイッチの閉成、ホールド回路群 H_{23} の各スイッチの閉
 成、 \dots 、ホールド回路群 H_{2n} の各スイッチの閉成というように、
 逐次行われ、ホールド回路群 H_{2n} の最後のスイッチが閉成された後に、
 最初のホールド回路群 H_{21} のスイッチ SW_{411} に戻る。これにともな
 25 って全てのホールド回路 $H_{411} \sim H_{41m}$ 以下は $Dout_1$ を循環的に
 順次取り込む。一方乗数 $d_{21} \sim d_{2n}$ は m 回のスイッチ開閉ごとに循環
 シフトする。

各ホールド回路群 $H_{22} \sim H_{2n}$ はホールド回路群 H_{21} と同様なマル

チプレクサ (M U X 4 1) を有し、各マルチプレクサは同一のコントロール信号 C T R によって切り替え制御され、同一位置のホールド回路の出力を選択して出力する。例えば M U X 4 1 が 1 番目のホールド回路 H 4 1 1 を選択したときは、他のホールド回路群 H 2 2 ~ H 2 n m においてもそれぞれ
5 ぞれの 1 番目のホールド回路が選択される。

図 1 0 はコントロール信号 C T R を示すタイミング図である。コントロール信号 C T R はクロック信号 C K 5 (図 5 参照) に同期し、m 個のホールド回路のいずれかを特定する信号である。図 1 0 では選択されるホールド回路の順番に対応して 1 ~ m の数値を表示している。

図 5 において、クロック信号 C K 4 1 1 ~ C K 4 1 m、C K 4 2 1 ~ C K 4 2 m、. . . .、C K 4 n 1 ~ C K 4 n m は $n \times m$ 段シフトレジスタ S F R 3 によって生成され、その出力は入力に帰還されている。シフトレジスタの各段 S 3 1、S 3 2、. . . .、S 3 n m のデータがクロック信号 C K 4 1 1、C K 4 1 2、. . . .、C K 4 n m であり、いずれか 1 段にスイッチ (S W 4 1 1 ~ S W 4 n m) を閉成する信号、例えば「1」が格納され、他の段には開放する信号、例えば「0」が格納されている。閉成信号「1」はシフトレジスタ S F R 3 を循環し、スイッチ (S W 4 1 1 ~ S W 4 n m) を循環的に順次閉成する。シフトレジスタ S F R 3 にはクロック信号 C K 5 が入力され、シフトレジスタ S F R 3 の信号はこのクロック信号 C K 5 に同期して循環シフトする。
15
20

図 9 はクロック信号 C K 4 1 1、C K 4 1 2、. . . .、C K 4 n m を示すタイミング図であり、C K 4 1 1、C K 4 1 2、. . . .、C K 4 1 m、C K 4 2 1、. . . .、C K 4 n m が順次閉成信号 (高レベル「1」) となり、それを循環的に繰り返す。

図 1 1 は乗数 d 1 1 ~ d 1 m を示すタイミング図であり、最初に m 個の乗数 $\alpha 1 \sim \alpha m$ が d 1 1 ~ d 1 m に設定されていたとき、乗数 d 1 1 に注目すると、d 1 1 は $\alpha 1$ 、 αm 、 $\alpha m - 1$ 、. . . .、 $\alpha 3$ 、 $\alpha 2$ と順次変化し、この変化を繰り返す。すなわち乗数は循環する。乗数 d 1 1 の変化
25

は1クロック遅れて乗数 d_{12} に伝播し、2クロック遅れて d_{13} に伝播し、．．．、 $m-1$ クロック遅れて d_{1m} に伝播する。

図12は乗数 $d_{21} \sim d_{2n}$ を示すタイミング図であり、最初に n 個の乗数 $\beta_1 \sim \beta_n$ が $d_{21} \sim d_{2n}$ に設定されていたとき、乗数 d_{21} に注目すると、 d_{21} は β_1 、 β_m 、 β_{m-1} 、．．．、 β_3 、 β_2 と順次変化し、この変化を繰り返す。すなわち乗数は循環する。乗数 d_{21} の変化は1クロック遅れて乗数 d_{22} に伝播し、2クロック遅れて d_{23} に伝播し、．．．、 $n-1$ クロック遅れて d_{2n} に伝播する。なお、図11と図12のクロックの周期の関係は、図7に示す CK_3 と CK_6 (図6参照) の通りである。

図6において、乗数 $d_{21} \sim d_{2n}$ は n 段シフトレジスタ SFR_4 によって生成され、その出力は入力に帰還されている。シフトレジスタの各段 S_{41} 、 S_{42} 、．．．、 S_{4n} のデータが乗数 d_{21} 、 d_{22} 、．．．、 d_{2n} である。シフトレジスタ SFR_4 にはクロック信号 CK_6 が入力され、シフトレジスタ SFR_4 の各データはこのクロック信号 CK_6 に同期して循環シフトする。

$Dout_1$ のホールド回路群における各ホールド回路 ($H_{411} \sim H_{41m}$ 等) への取り込みは離散的であり、一般的に i 番目の相関出力を $Dout_1(i)$ と表現すると、乗数 $d_{21} \sim d_{2n}$ は i について $n \times m$ を周期とする関数となる。従って、 i 番目の相関出力 $Dout_2$ を $Dout_2(i)$ とすると、後段における相関出力は式(5)のように表現される。

$$Dout_2(i) = \sum_{j=1}^n Dout_1(j+i) \times d_2(j) \quad \text{式(5)}$$

これは式(1)の相関出力 $P(k)$ に対応する。

すなわちマッチドフィルタ回路は前段部、後段部により初期の相関演算

を実行でき、その乗算回路の個数は $(m + n)$ のオーダーである。従来のマッチドフィルタ回路によりこれと等価な相関演算を行うためには $m \times n$ 個の乗算回路が必要であり、対応する加算回路と合わせると回路規模ははるかに小さい。マッチドフィルタ回路の回路規模は乗算回路の個数（タップ数）に略比例し、全体構成の規模縮小となることは明らかである。回路規模が小さくなることによって消費電力は減少する。仮に $m = n = 16$ とすると、従来に比較して、回路規模、消費電力は 10 % 程度に減少する。

図 7 は図 2、図 3、図 5、図 6 のシフトレジスタ SFR1、SFR2、SFR3、SFR4 のクロック信号 CK2、CK3、CK5、CK6 を示すタイミング図であり、CK2、CK3、CK5 は同期信号、CK6 は CK2、CK3、CK5 の n 周期に 1 回閉成信号を出力する。

本第 1 実施形態における各種ホールド回路（H11、H12、...、H1m；H411、H412、...、H41m）はレジスタまたはメモリ回路で実現することが可能である。メモリ回路で実現した場合、そのアドレス生成は、本第 1 実施形態で説明した制御方法に従う必要がある。本実施形態とは別に、前段部と後段部を入れかえることも可能である。

〔第 2 実施形態〕

図 13 は第 2 実施形態における後段部のブロック図、図 14 はそのタイミング図である。

第 2 実施形態では、第 1 実施形態におけるホールド回路群 H21 をメモリ MEM1 によって実現している。仮に信号 Dout1 を 5 bit、 $m = n = 16$ とすれば H21 の容量は 80 bit である。すなわちマッチドフィルタ回路をメモリ内蔵型の LSI によって容易に実現でき、その回路構成は極めて単純である。

図 13 において、後段部のメモリ MEM1 のデータ端子 D には、図示しない乗算回路（図 4 の乗算回路 M21 に相当）が接続されている。メモリ MEM1 の出力信号 Dout13 は、図 4 に示すマルチプレクサ MUX41 の出力に相当する信号である。

信号 $Dout1$ はメモリ $MEM1$ のデータ端子 D に順次入力され、保持された後に、適当なタイミングで読み出されて、乗算、加算が行われる。

メモリ $MEM1$ のアドレス端子 $ADDR$ にはアドレス信号 $ADDR1$ が入力され、読み書き信号端子 R/\overline{W} には読み書き信号 $RW1$ が入力されて

5 いる。

図 14 はアドレス信号 $ADDR1$ および読み書き信号 $RW1$ を示す。アドレス信号 $ADDR1$ は m 個の信号 $Dout1$ に対応した m 個のアドレスを順次指定し、読み書き信号 $RW1$ は読出を指定してこれら m 個のデータを読み出すようにする。図 14 に示す読み書き信号 $RW1$ が高レベルのとき

10 にはリード（読み出し）イネーブルで、低レベルのときにはライト（書き込み）イネーブルである。このため 1 回の読み書きサイクルの前半で読出し（ $RW1$ は高レベル）を行い、後半で書込み（ $RW1$ は低レベル）を行う。

図 14 に示すように、最初の m 周期（ m 個のデータ）については、交互に読み出し（リード）と書き込み（ライト）を行うが、その後の $m \times (n - 1)$ 周期については読み出しのみを行う。このように、 $m \times n$ 周期において、最初の m 周期とその後の $m \times (n - 1)$ 周期の動作を繰り返し行う。

同様に、図 4 のその他のホールド回路群 $H22$, $H23$, \dots , $H2n$ をメモリ回路で実現することが可能である。以下ではその説明を省略する。

20 る。

以上の実施形態は 2 段階の階層による階層的相関シーケンスの例であるが本発明は 3 段階以上の階層の階層的相関シーケンスに適用可能である。

産業上の利用の可能性

本発明によれば、「階層的相関シーケンスの高速相関」に基づき小規模、省電力のマッチドフィルタ回路を実現し得る。

請 求 の 範 囲

1. 受信信号が並列に接続され m (m は2以上の自然数)個の受信信号を順次出力する m 個のスイッチと、該スイッチの出力に接続され該スイッチの出力を保持するホールド回路と、該ホールド回路の出力に長さ m 個で循環的に供給される第1シーケンスの各値を乗じる乗算器と、該乗算器の出力を加算する加算器とを有する第1積和演算器と、

第1積和演算器の出力と長さ n 個 (n は2以上の自然数)の第2シーケンスとを積和演算する第2積和演算器と

10 を備えることを特徴とするマッチドフィルタ回路。

2. 受信信号と長さ m 個 (m は2以上の自然数)の第1シーケンスとを積和演算する第1積和演算器と、

15 各々が第1積和演算器の出力を順次保持して全体として n (n は2以上の自然数)個出力する n 個のホールド回路群と、該ホールド回路群の出力に長さ n 個で循環的に供給される第2シーケンスの各値を乗じる乗算器と、該乗算器の出力を加算する加算器とを有する第2積和演算器とを備えることを特徴とするマッチドフィルタ回路。

3. 前記各ホールド回路群は、第1積和演算器の連続する m 個の出力を順次保持することを特徴とする請求項2記載のマッチドフィルタ回路。

20 4. 前記各ホールド回路群は、

第1積和演算器の出力が並列に接続され m 個の該出力を連続的に順次出力する m 個のスイッチと、

該スイッチの出力に接続され該スイッチの出力を保持するホールド回路と、

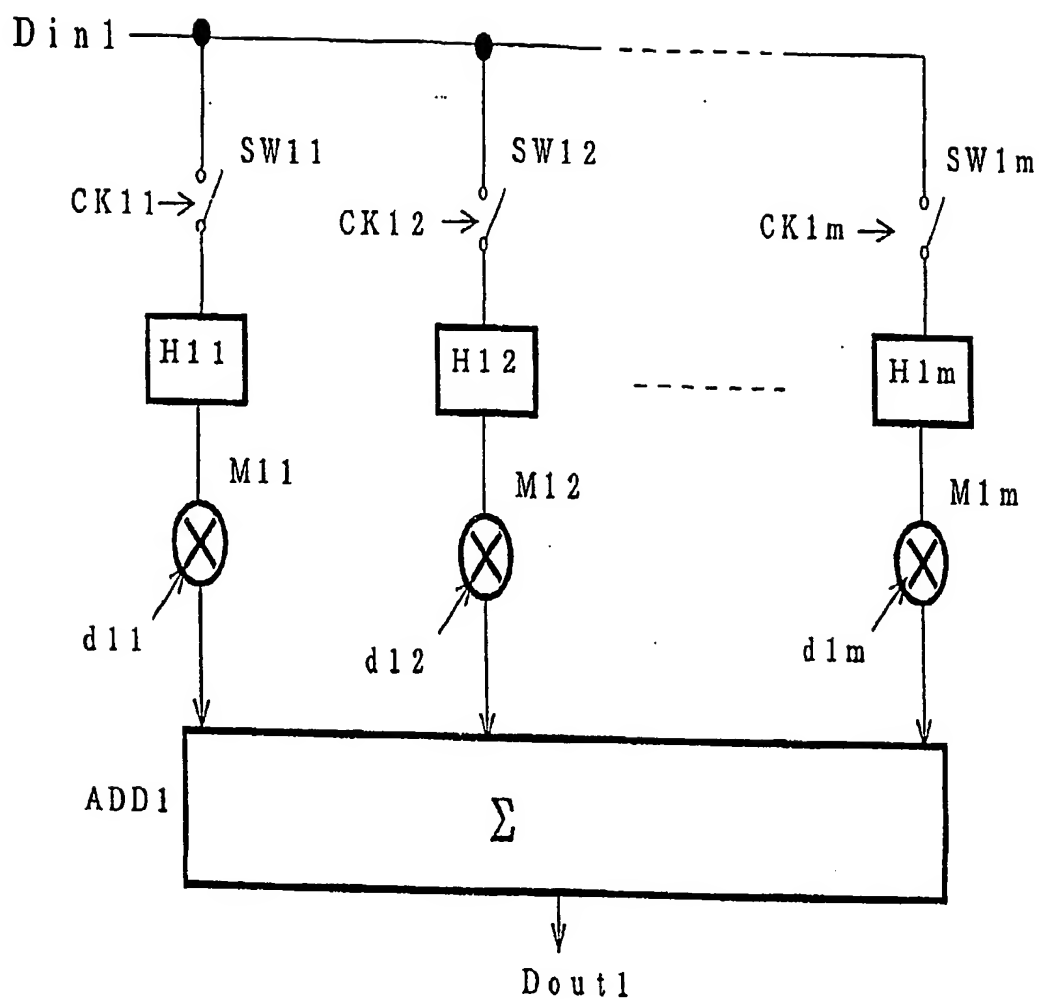
25 該ホールド回路の出力のいずれか1個を選択的に出力するマルチプレクサと

を有することを特徴とする請求項2または3記載のマッチドフィルタ回路。

5. 前記ホールド回路は、レジスタ回路またはメモリ回路であることを特徴とする請求項 1 記載のマッチドフィルタ回路。

6. 前記各ホールド回路群は、メモリ回路であり、各メモリ回路の読み出しと書き込みについては、 $m \times n$ の周期の中で、 m の期間は読み出しと書き込みを交互に行い、それ以外の $m \times (n - 1)$ の期間では読み出しのみを行うことを特徴とする請求項 3 または 4 記載のマッチドフィルタ回路。

図 1



THIS PAGE BLANK (USPTO)

図 2

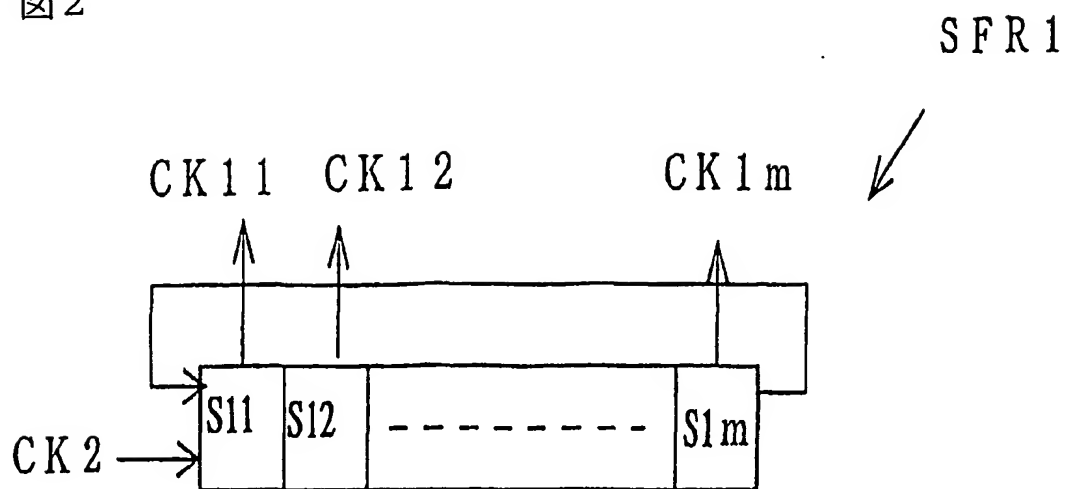
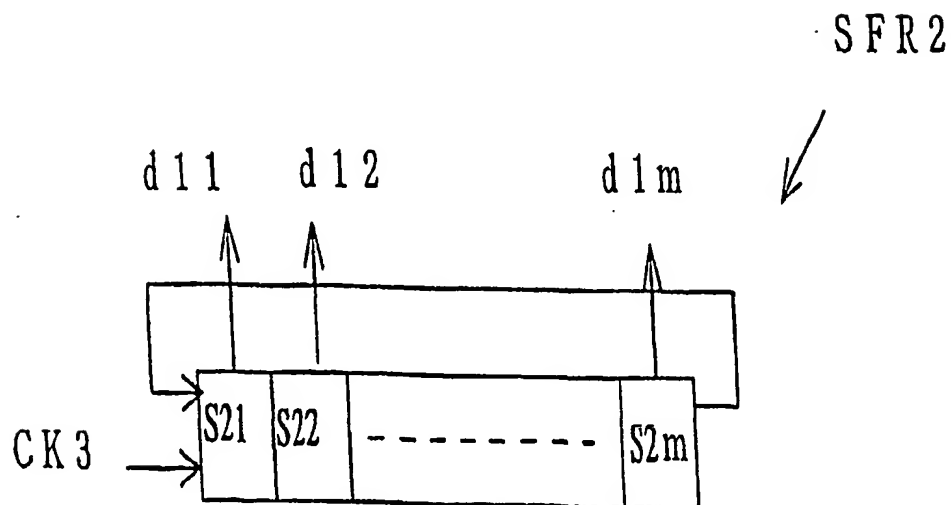
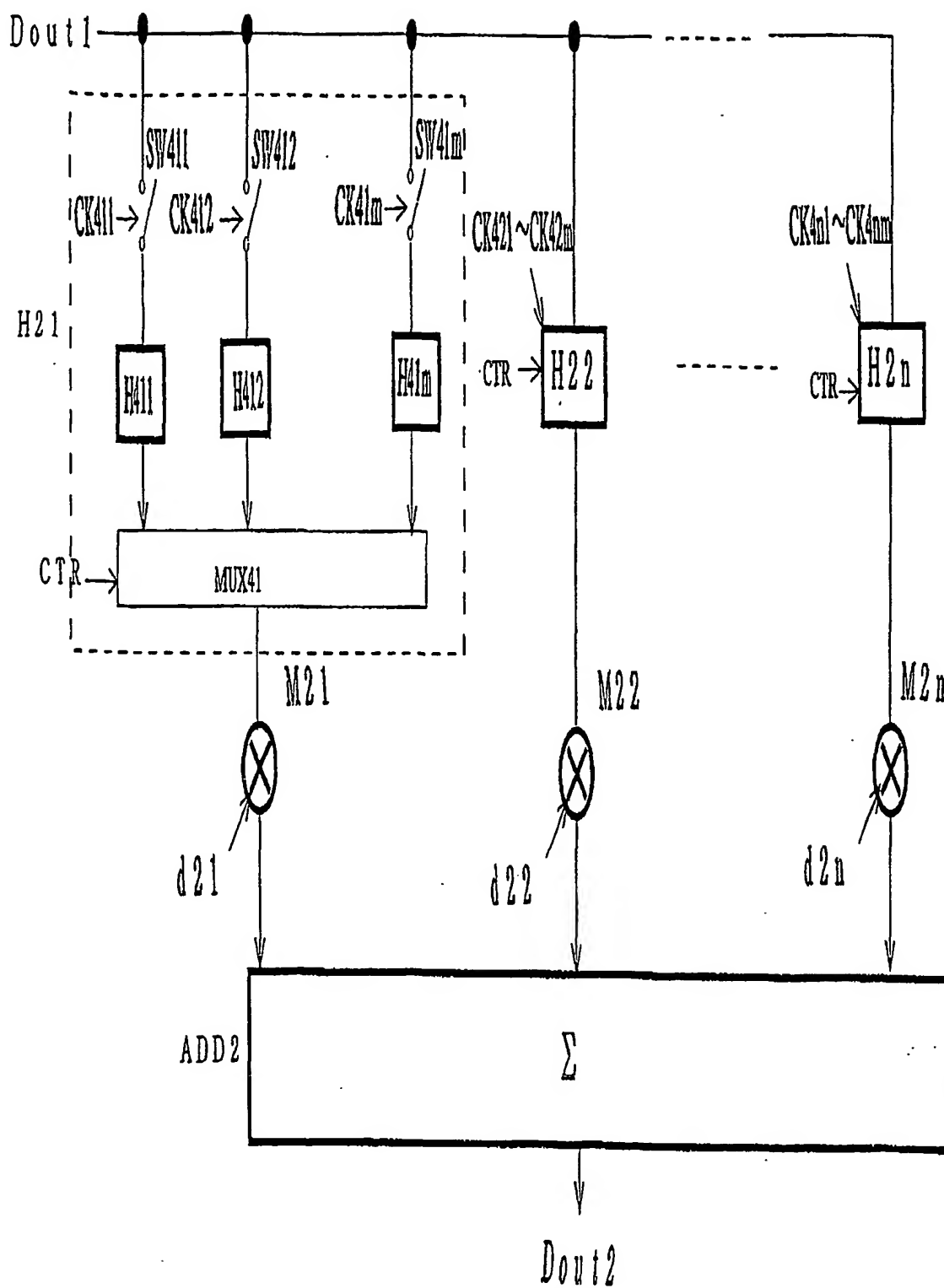


図 3



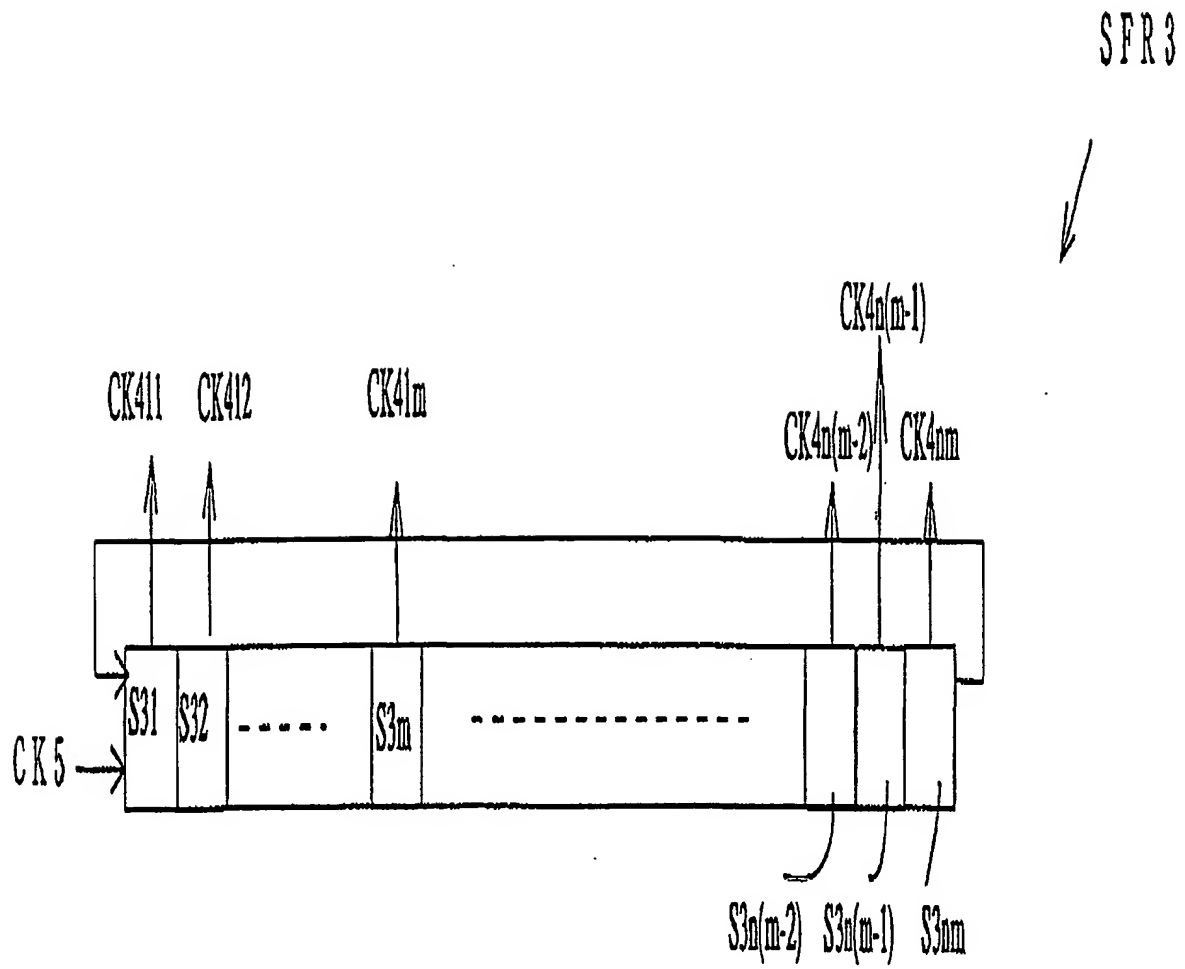
THIS PAGE BLANK (USPTO)

図 4



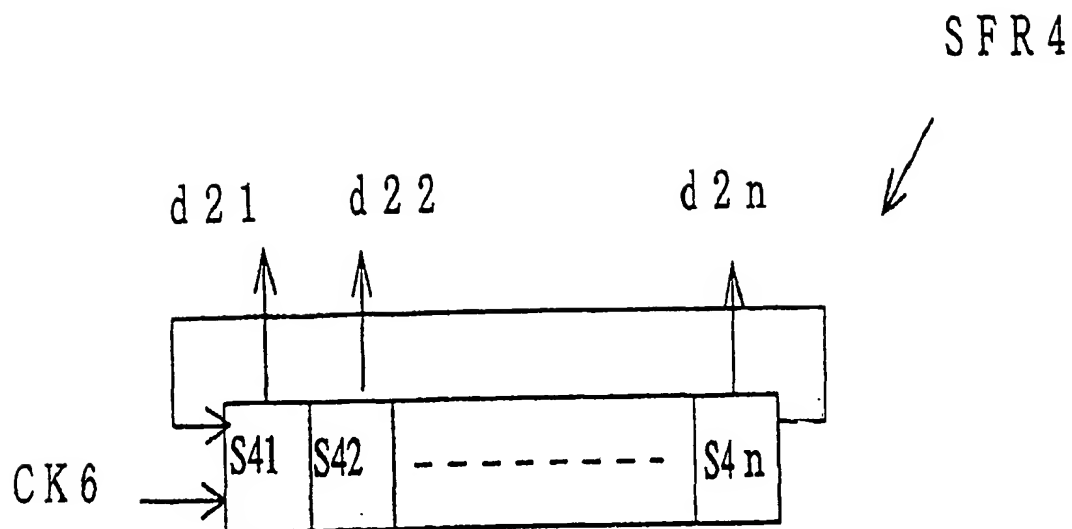
THIS PAGE BLANK (USPTO)

図 5



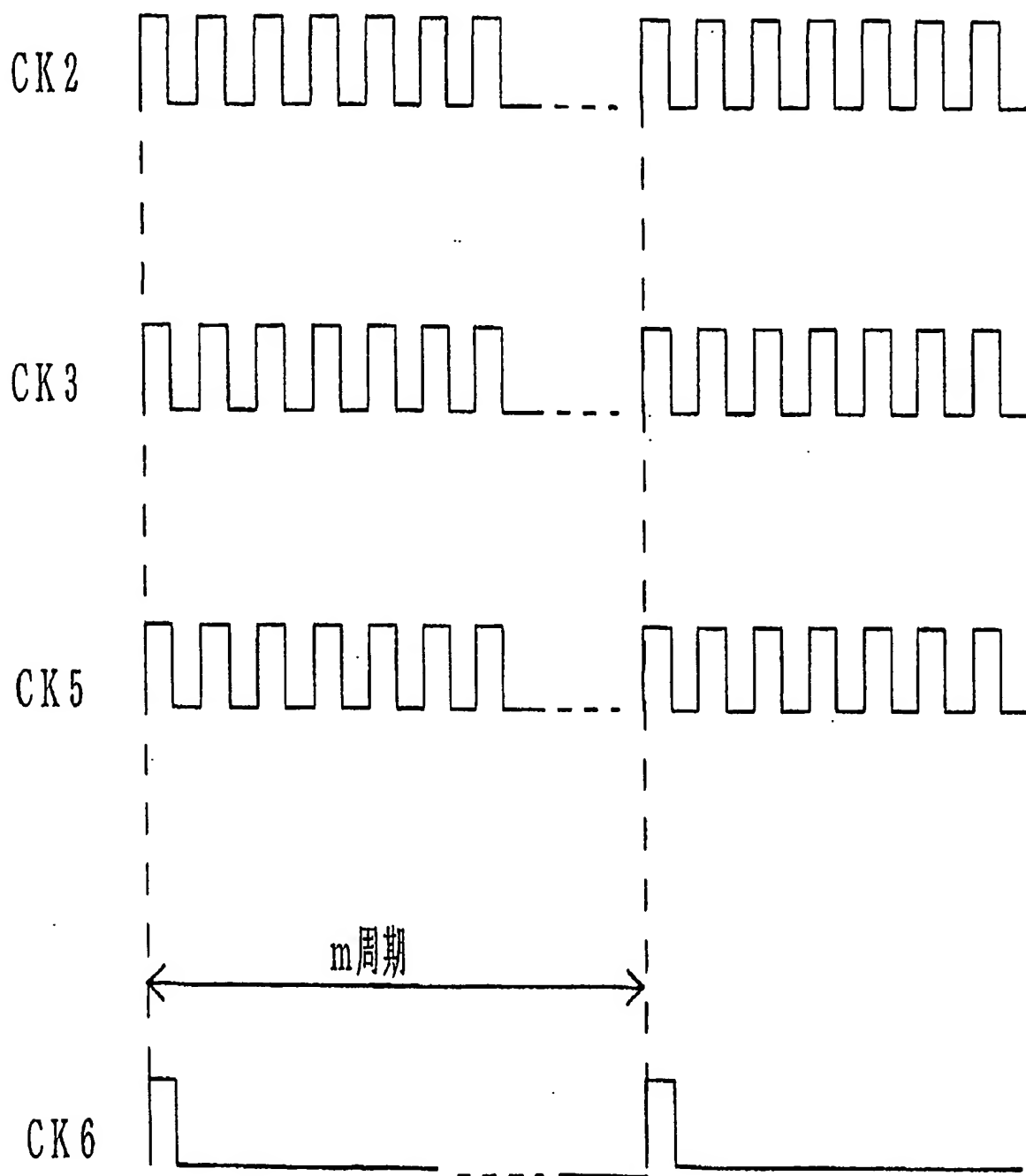
THIS PAGE BLANK (USPTO)

図 6



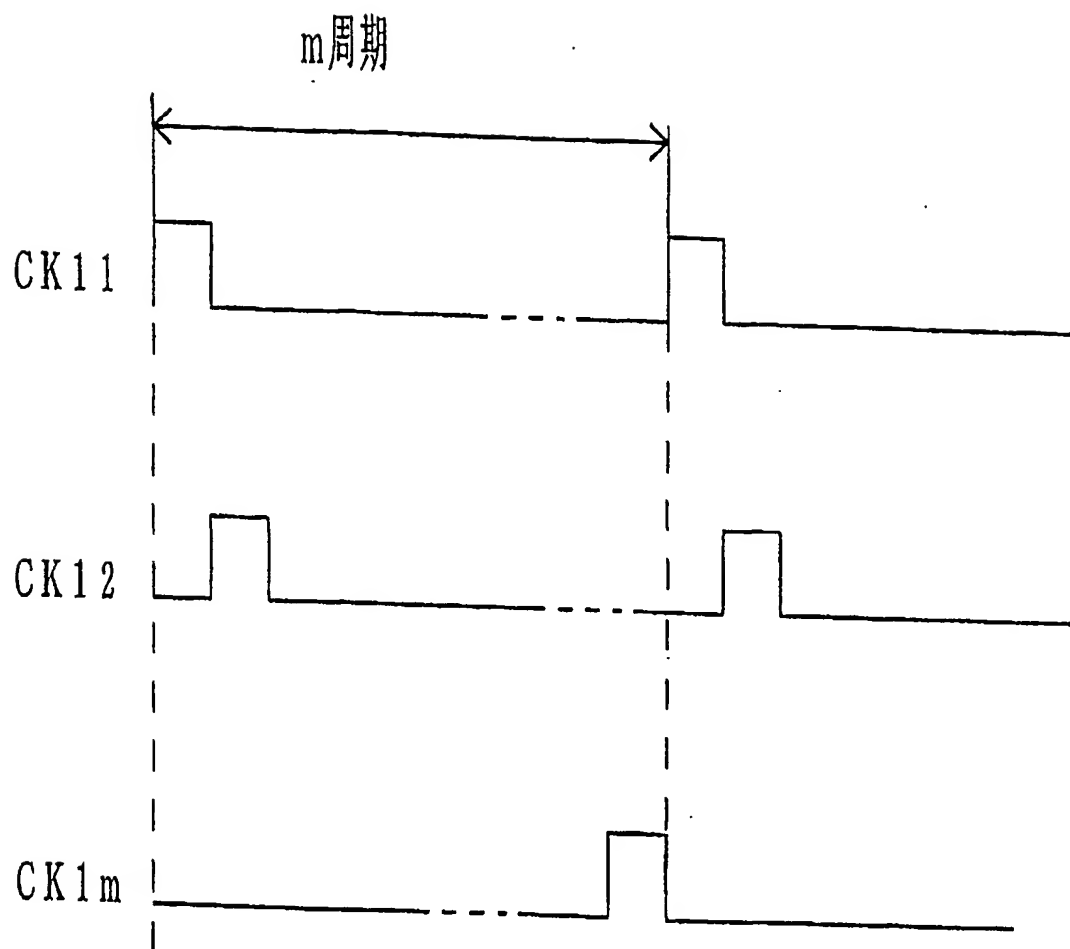
THIS PAGE BLANK (USPTO)

図 7



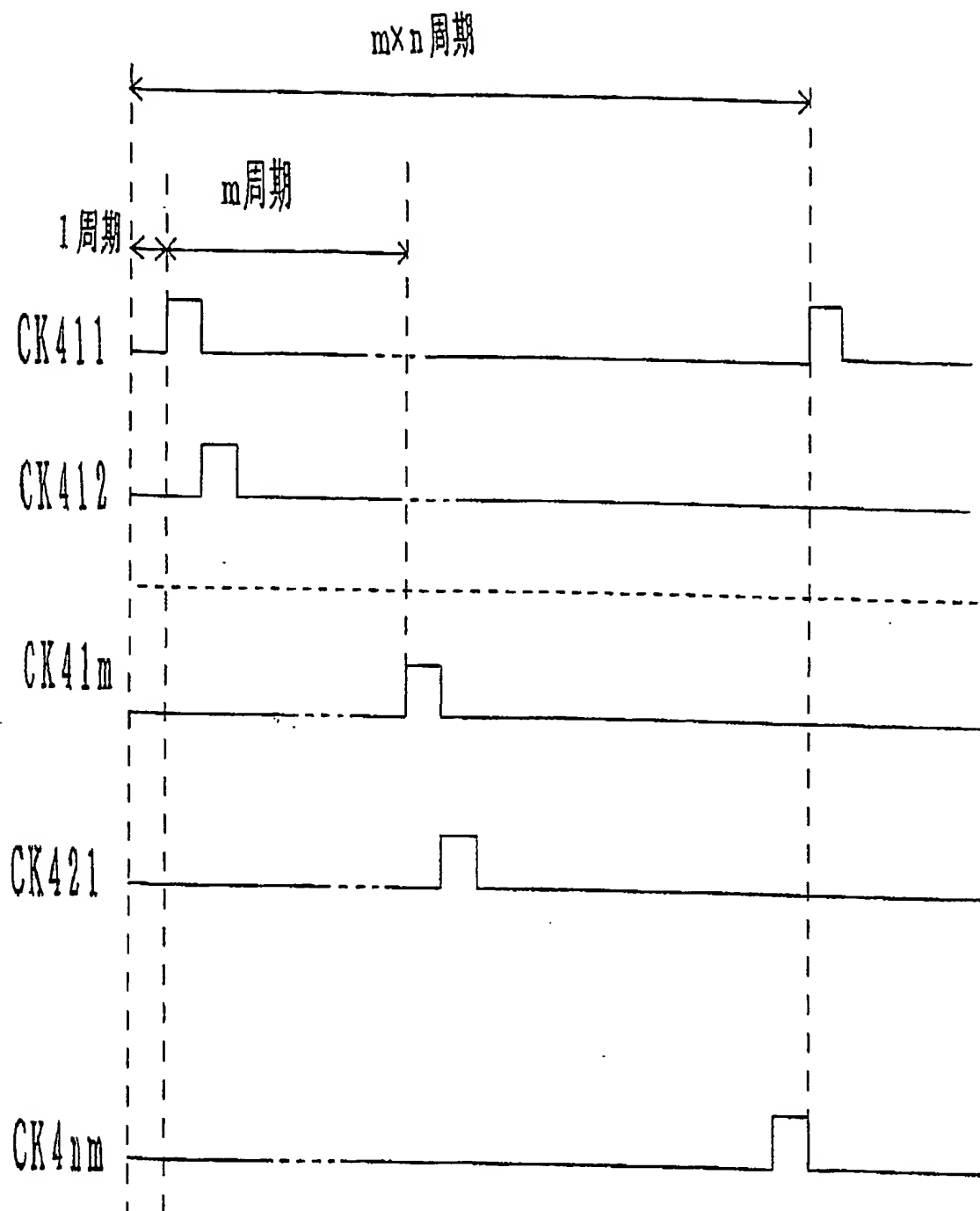
THIS PAGE BLANK (USPTO)

図8



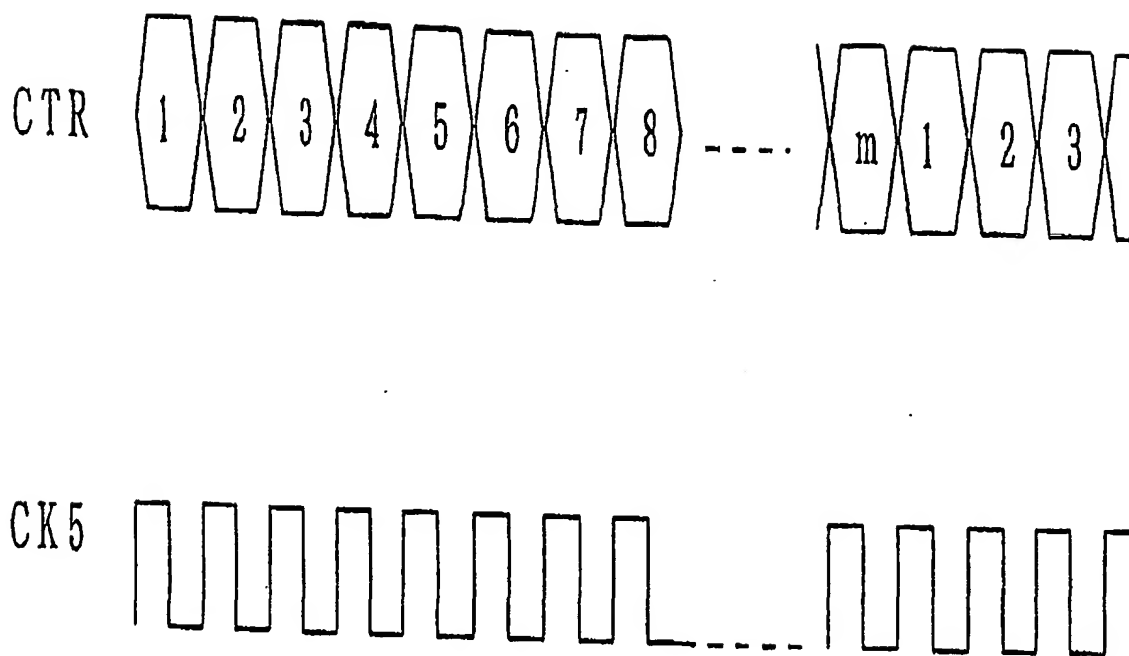
THIS PAGE BLANK (USPTO)

図 9



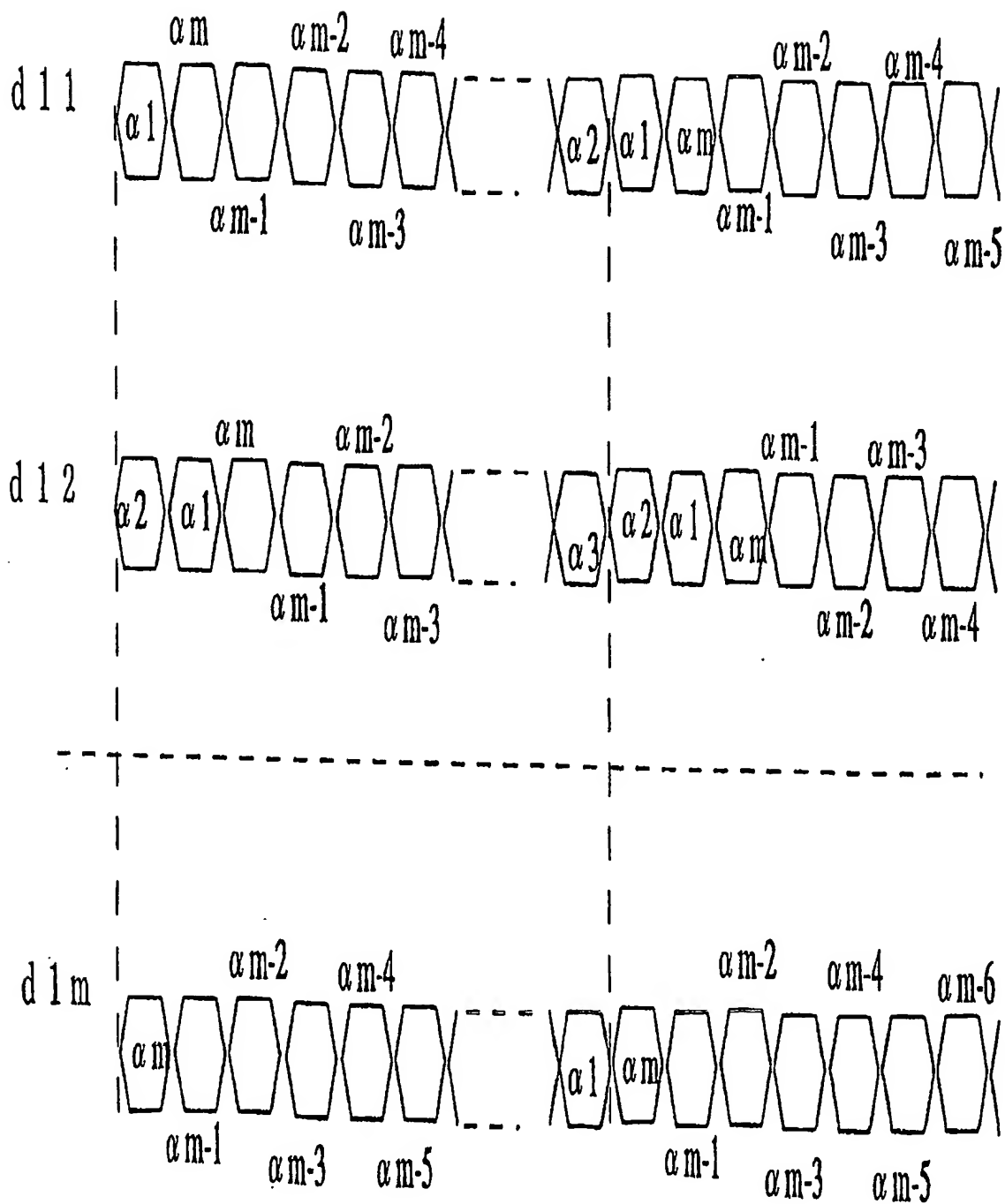
THIS PAGE BLANK (USPTO)

図 10



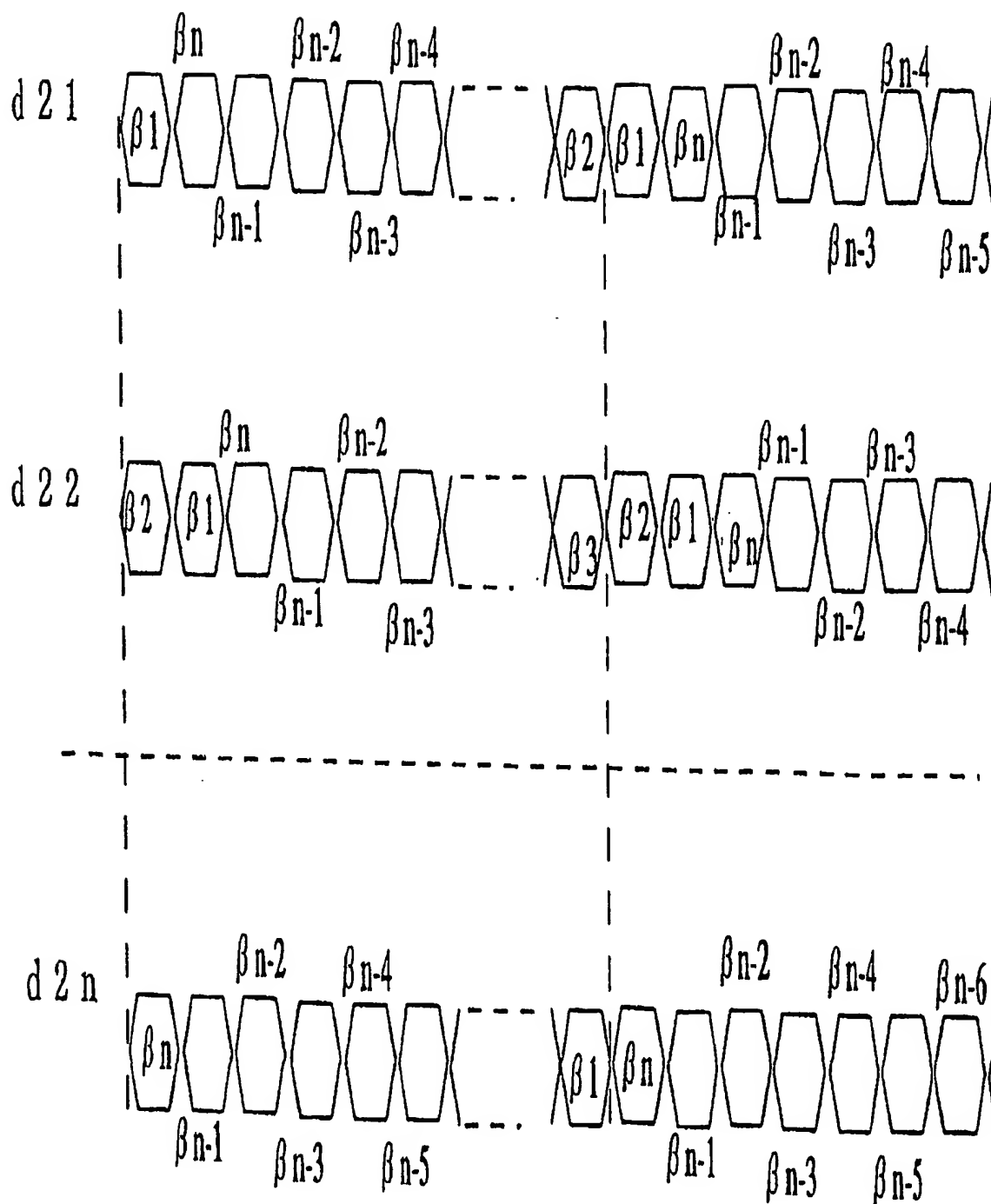
THIS PAGE BLANK (USPTO)

図 1 1



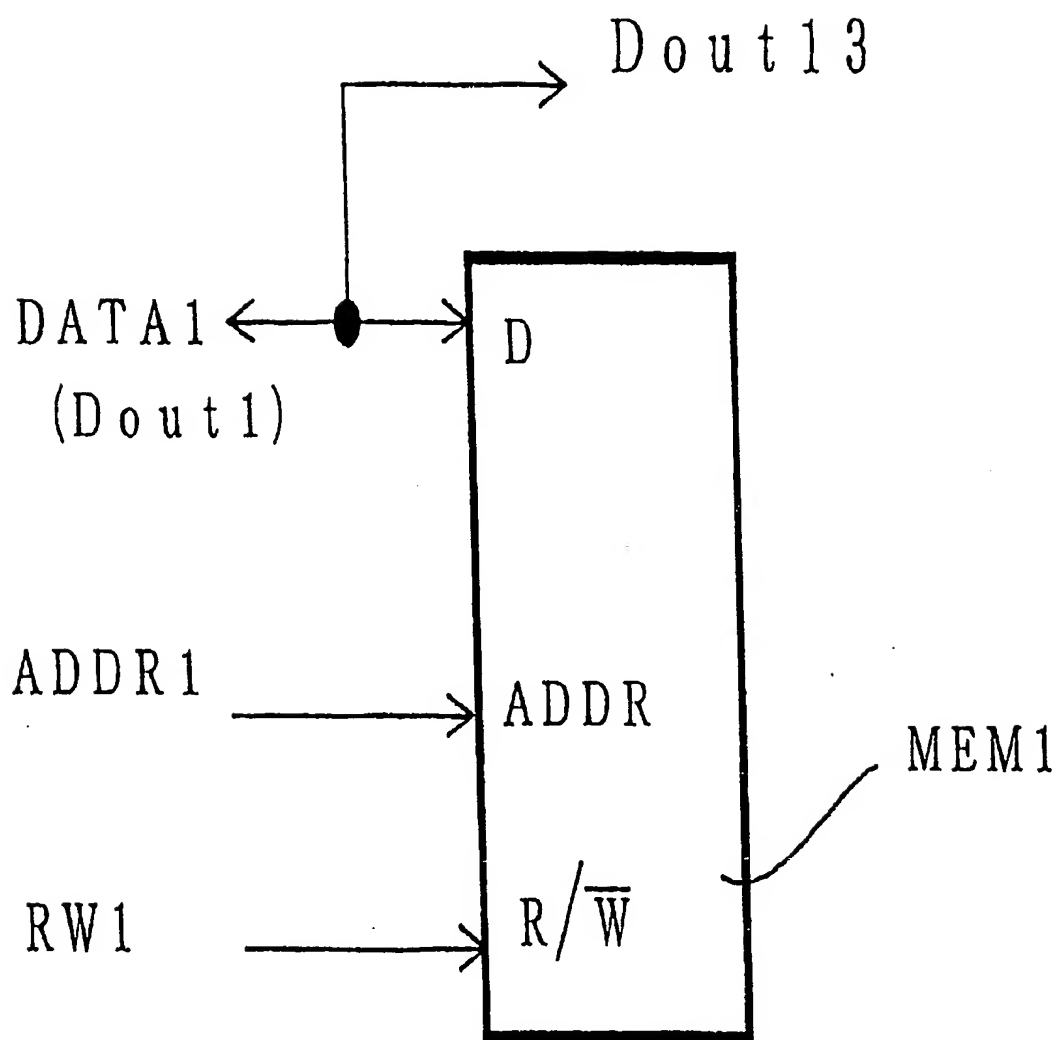
THIS PAGE BLANK (USPTO)

図 1 2



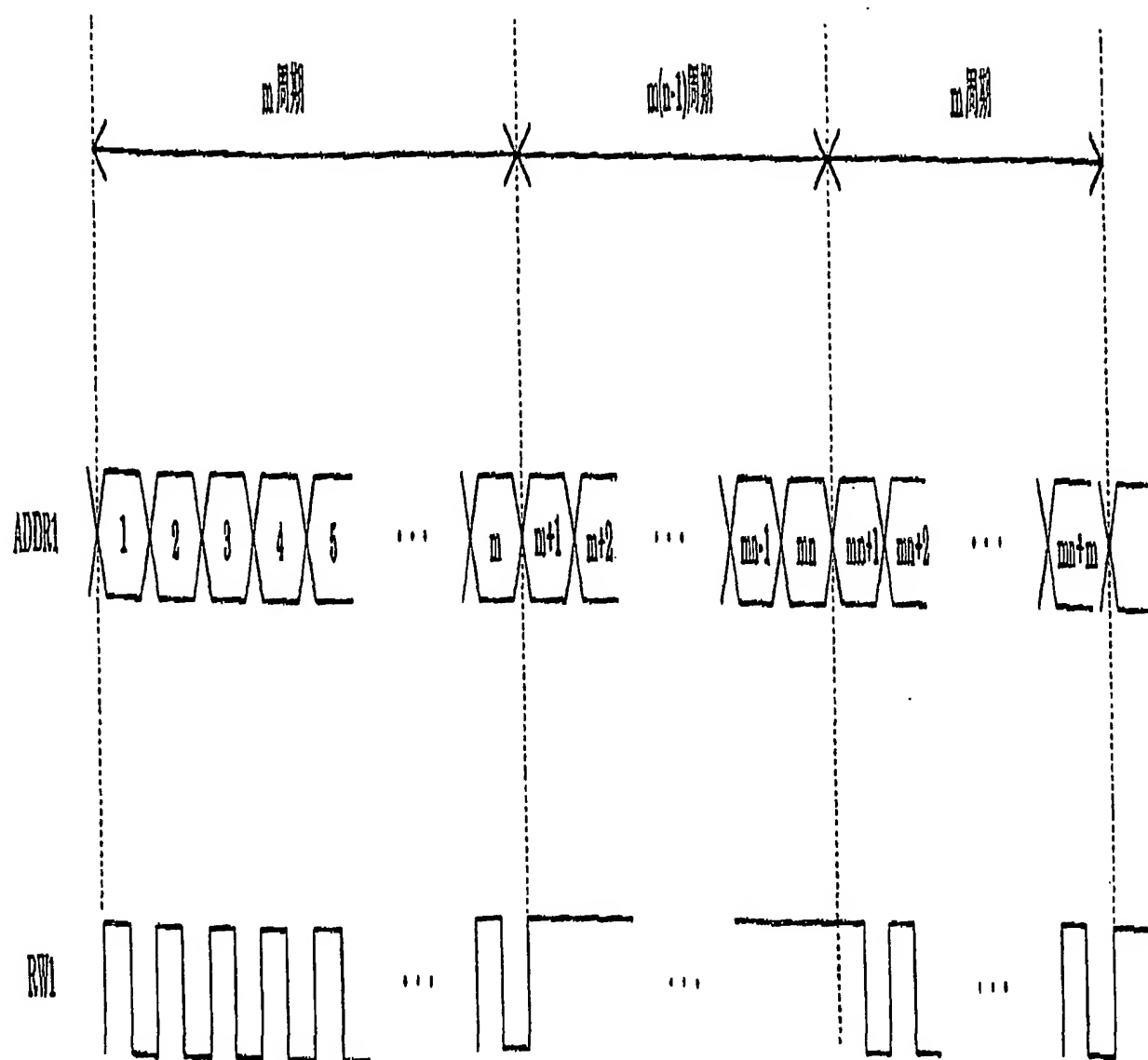
THIS PAGE BLANK (USPTO)

図 13



THIS PAGE BLANK (USPTO)

図 14



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04032

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03H17/00, H04J13/00, G06F17/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H17/00, H04J13/00, G06F17/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-285077 A (Yozan K.K.), 23 October, 1998 (23.10.98), page 3, left column, line 43 to page 4, right column, line 26; Fig. 6 & EP 871298 A	1-3, 5, 6 4
Y A	JP 2000-49661 A (Kokusai Electric Co., Ltd.), 18 February, 2000 (18.02.00), page 3, right column, line 39 to page 4, left column, line 35; Fig. 1 (Family: none)	1-3, 5, 6 4
Y A	JP 2000-134134 A (Toshiba Corporation), 12 May, 2000 (12.05.00), page 4, left column, line 16 to page 6, left column, line 14; Fig. 1 & GB 2344980 A	1-3, 5, 6 4
Y A	JP 10-178334 A (Fujitsu Limited), 30 June, 1998 (30.06.98), Figs. 1, 9 (Family: none)	1-3, 5, 6 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not
considered to be of particular relevance
 "E" earlier document but published on or after the international filing
date
 "L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
means
 "P" document published prior to the international filing date but later
than the priority date claimed

"T" later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 August, 2001 (07.08.01)

Date of mailing of the international search report
21 August, 2001 (21.08.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04032

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-173485 A (Mitsubishi Electric Corporation), 26 June, 1998 (26.06.98), Figs. 1 to 9 & US 5903595 A & CN 1185064 A	1~3, 5, 6 4
Y A	JP 11-239081 A (Matsushita Electric Ind. Co., Ltd.), 31 August, 1999 (31.08.99), page 11, left column, line 45 to right column, line 33; Fig. 15 & EP 924869 A	1~3, 5, 6 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03H17/00, H04J13/00, G06F17/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03H17/00, H04J13/00, G06F17/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 10-285077 A (株式会社鷹山) 23. 10月. 1998 (23. 10. 98) 第3頁左欄第43行目~第4頁右欄 第26行目, 図6 & EP 871298 A	1~3, 5, 6 4
Y A	JP 2000-49661 A (国際電気株式会社) 18. 2 月. 2000 (18. 02. 00) 第3頁右欄第39行目~第4頁 左欄第35行目, 図1 (ファミリーなし)	1~3, 5, 6 4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07. 08. 01

国際調査報告の発送日

21.08.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸

5W

9180

電話番号 03-3581-1101 内線 3575

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2000-134134 A (株式会社東芝) 12. 5 月. 2000 (12. 05. 00) 第4頁左欄第16行目~第6頁 左欄第14行目, 図1 & GB 2344980 A	1~3, 5, 6 4
Y A	JP 10-178334 A (富士通株式会社) 30. 6月. 1998 (30. 06. 98) 図1, 図9 (ファミリーなし)	1~3, 5, 6 4
Y A	JP 10-173485 A (三菱電機株式会社) 26. 6 月. 1998 (26. 06. 98) 図1~図9 & US 590 3595 A & CN 1185064 A	1~3, 5, 6 4
Y A	JP 11-239081 A (松下電器産業株式会社) 31. 8月. 1999 (31. 08. 99) 第11頁左欄第45行目~右 欄第33行目, 図15 & EP 924869 A	1~3, 5, 6 4